

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-87441

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl.⁶
G 0 6 F 12/00

識別記号 庁内整理番号
5 6 0 B 7623-5B

F I

技術表示箇所

審査請求 未請求 請求項の数5 O.L (全9頁)

(21)出願番号 特願平6-223267

(22)出願日 平成6年(1994)9月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

▲廣▼瀬 雅隆

愛知県名古屋市東区東桜一丁目13番3号

富士通名古屋通信システム株式会社内

橋戸 茂幸

愛知県名古屋市東区東桜一丁目13番3号

富士通名古屋通信システム株式会社内

糟谷 哲史

愛知県名古屋市東区東桜一丁目13番3号

富士通名古屋通信システム株式会社内

(74)代理人 弁理士 井桁 貞一

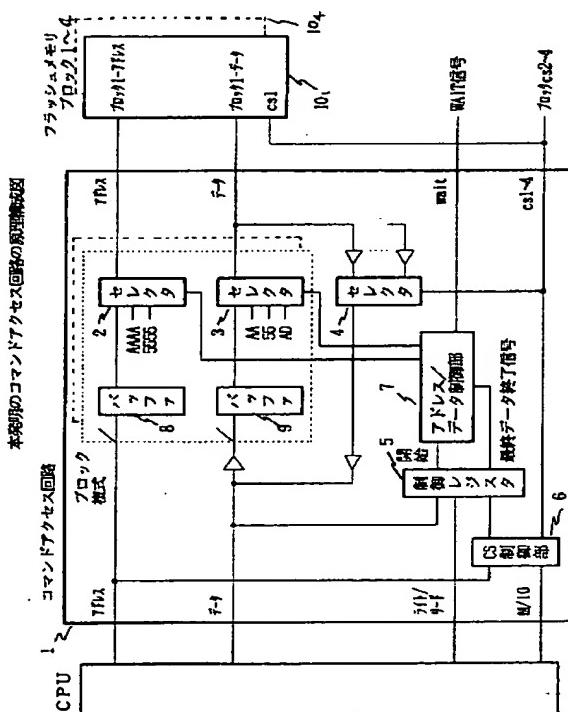
最終頁に続く

(54)【発明の名称】 フラッシュメモリアクセス方式

(57)【要約】

【目的】 フラッシュメモリに対しデータを書き込むアクセス方式に関し、CPUとフラッシュメモリ間にコマンドアクセス部を設け、CPUの負荷の軽減を図ることを目的とする。

【構成】 CPUとフラッシュメモリとの間にコマンドアクセス回路1を設け、n回の手順中の最初のn-1回までの動作をCPUに代わりフラッシュメモリにアクセスすることにより、CPUは通常のRAMに対するデータの書き込みと同様の動作のみで、フラッシュメモリに対しデータの書き込みを行うように構成する。フラッシュメモリは、全メモリをn個にブロック化(フラッシュメモリブロック10)し、コマンドアクセス回路1内のチップセレクト制御部6で下位アドレスをデコードして作成されたCS線によりそれぞれのブロックを選択するように構成する。



【特許請求の範囲】

【請求項1】 (n-1) 個のコマンドの後のデータが書き込まれるフラッシュメモリを備えた装置において、CPUとフラッシュメモリとの間にコマンドアクセス回路を設け、n回の書き込み手順中の最初の(n-1)回目の手順までは、CPUに代わりコマンドアクセス回路からフラッシュメモリにコマンド列を与え、n回目の手順で、CPUから受け取ってバッファに蓄積されているアドレスにCPUから受け取ってバッファに蓄積されているデータを書き込み、該動作を繰り返すことにより、CPUは通常のRAMに対するデータの書き込みと同様の動作のみで、フラッシュメモリに対しデータの書き込みを行うことを特徴とするフラッシュメモリアクセス方式。

【請求項2】 CPUより前記コマンドアクセス回路の制御レジスタに対しフラッシュメモリに行う処理を指示し、その後該コマンドアクセス回路が該処理に対応するコマンドシーケンスによるフラッシュメモリへのアクセス動作を行うことにより、フラッシュメモリ書き込み処理、リード処理、レジスタ変更処理を可能とすることを特徴とする請求項1記載のフラッシュメモリアクセス方式。

【請求項3】 前記コマンドアクセス回路に、CPUよりのアドレス確定時にアドレスを一時格納し、データ確定時にデータを一時格納するデータ設定レジスタを設け、該データ設定レジスタのバッファ値を変更することにより、手順数及び手順のアドレス/データ値を可変可能としたことを特徴とする請求項1記載のフラッシュメモリアクセス方式。

【請求項4】 前記コマンドアクセス回路において、全フラッシュメモリに対しデータを書き込む場合、フラッシュメモリを複数のブロックに分割し、該複数のブロックをアドレスの下位ビットをデコードしたCS線により制御し、また該ブロックに与えるコマンド手順をずらすことにより、CPUからは連続してデータが書き込むRAM同様のアクセスを可能とすることを特徴とする請求項1記載のフラッシュメモリアクセス方式。

【請求項5】 前記コマンドアクセス回路において、バッファに蓄積された最終データライト終了までの間、制御レジスタよりの最終データ終了信号をCPUが監視可能なようにすることにより、最終データの書き込み処理の完了を通知することを特徴とする請求項1記載のフラッシュメモリアクセス方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフラッシュメモリに対しデータを書き込むためのメモリアクセス方法に関する。従来のフラッシュメモリを有する装置において、フラッシュメモリに対してデータの書き込みを行う場合、フラッシュメモリ書き込み手順を各々のフラッシュモリのチップに対して行う必要があった。

【0002】 その為、システムデータのローディング等大容量のデータをフラッシュメモリに書き込む場合に、1バイトのデータの書き込みの為に何回もアクセス(コマンド)が必要になり、CPUの処理の負担、ローディング時間の増大等数々の問題が生じていた。

【0003】

【従来の技術】 フラッシュメモリは電気的に書換えを行うリードオンリーメモリ素子の一つであり、フラッシュメモリの品種には、5V等の回路動作用の通常の単一電源で書換え可能なものがある。このようなフラッシュメモリでは、誤って記憶内容が書換えられる可能性があるので、これを防止するための保護が必要である。この保護する方式の一として、上位の書き込み制御装置、例えばCPUからフラッシュメモリの特定のアドレスと特定のデータの対であるコマンドシーケンスを送出し、フラッシュメモリはこの特定アドレスと特定のデータの対を受け取ったとき、書き込みコマンドが発行されたと認識して、次に指定される実際の書き込みアドレスにデータを書き込むものがある。このようなコマンドシーケンスを使用する場合には、書き込みを行うデータに関して、1ワード(1つのアドレスで指定されるデータ)毎に、コマンドシーケンスとデータとを交互に送りながら書き込みを行う。

【0004】 従来のこの種のフラッシュメモリに対する書き込みコマンド手順を図9に示す。図は、1バイトのデータ(PD)の書き込みの為に、4バスサイクルのコマンド手順を必要とする場合を示す。フラッシュメモリ書き込み動作は、CPUのコマンド手順①～④毎に1ワードがメモリに書き込まれ、全ワードが終了するまでの動作が繰り返される。

【0005】 図には、以下の如き3個のコマンドからなるコマンドシーケンスを与えた後のバスサイクルでデータが書き込まれるフラッシュメモリについての例が示される。

【0006】 最初のバスライトサイクルに1つ目のコマンドとして、アドレスに55555H(下側添字Hは16進数表現であることを示す。以下同様)データにAAHを、次のバスサイクルに2つめのコマンドとして、アドレスに2AAAHを、データに55Hを、3番目のバスサイクルで、3個目のコマンドとしてアドレスに5555Hを、データにA0Hを順次与える。これにより書き込みコマンドシーケンスは完了し、4番目のバスサイクルで、書き込むべきデータPDと書き込み先のアドレスPAとを与えると、書き込みが行われる。従来は、このようなコマンドシーケンスと書き込みデータを、CPUから直接、フラッシュメモリに与えていたので、例えば1バイトのデータPDを書き込むために、CPUはメモリに対して4回アクセスする必要があり、CPUの処理回数が増大することになる。以上はコマンド手順が4回の場合であるが、コマンド手順が4回以上の場合は更にCPUの処理回数が増大

する。

【0007】

【発明が解決しようとする課題】従って、従来のフラッシュメモリの書き込み手順では、システムデータのローディング等大容量のデータをフラッシュメモリに書き込む場合、1バイトのデータの書き込みの為に4回のアクセス（コマンド）が必要となり、CPUの処理の負担、ローディング時間の増大等数々の問題が生じていた。

【0008】本発明は、CPUとフラッシュメモリとの間にコマンドアクセス回路を設け、n回の手順中の最初のn-1回のコマンドシーケンスを与える動作をこのアクセス回路に代行させて、CPUは通常のRAMに対するデータの書き込みと同様の動作のみで、フラッシュメモリに対しデータの書き込みを行うようにすることを目的とする。

【0009】

【課題を解決するための手段】本発明のコマンドアクセス回路の原理構成図を図1に示す。図において、1はコマンドアクセス回路、2はアドレスセレクタ、3はデータセレクタ、4はブロックセレクタ、5は制御レジスタ、6はチップセレクト制御部、7はアドレス/データ制御部、8はアドレスバッファ、9はデータバッファ、10₁～10₄は例えはコマンドシーケンスが3個のコマンドからなる場合に4ブロックに分けたフラッシュメモリブロックを示す。このメモリブロック数に対応してCPUから送出されるアドレス/データを一時格納するバッファ8、9、および、コマンドシーケンスを送出するセレクタ2、3はそれぞれ4面設けられている。

【0010】コマンドアクセス回路1は、CPUよりフラッシュメモリに対しデータをライトする場合の手順を代行する為にCPUとメモリ間に設置されている。フラッシュメモリは、全メモリを4つにブロック化（フラッシュメモリブロック10₁～10₄）し、コマンドアクセス回路1内のチップセレクト制御部6がアドレスの下位ビットをデコードして作成するCS信号によりそれぞれのブロックが選択される。

【0011】なおCS線は、ライト時には全ブロックが有効となり、リード時の各ブロックを随時選択する。原理は、CPUよりフラッシュメモリに対しデータをライトする場合、まずCPUは、I/Oアクセスによりコマンドアクセス回路1内の制御レジスタ5に対しデータロード開始のフラグをセットする。

【0012】このフラグがセットされない状態では、コマンドアクセス回路1はCPUより入力されたアドレスをフラッシュメモリに対しそのまま中継するのみであり、リードデータも同様にメモリよりCPUにそのまま中継される。なお、リードデータはブロックセレクタ4をCS信号により制御し、有効ブロックのデータのみCPUに中継する。

【0013】データロード開始フラグがセットされる

と、アドレス/データ制御部7が起動され、以後の動作はデータをライトする場合の手順を代行する動作となる。

【0014】

【作用】本発明のコマンドアクセス部書き込みコマンド動作手順を図2に示す。図は、特定I/OアドレスWRにより書き込みプログラムが起動する動作手順を示す。

(1) CPUよりのライトデータを一時バッファ9に蓄積し、CPUよりのライトアドレスを一時バッファ8に蓄積する。

(2) フラッシュメモリブロック10に対し第一コマンドとして、アドレスセレクタ2によりアドレス5555を指示し、データセレクタ3によりデータAAを与える。

(3) フラッシュメモリブロック10に対し、第二コマンドとして、アドレスセレクタ2によりアドレス2AAAを指示し、データセレクタ3によりデータ55を与える。

(4) フラッシュメモリブロック10に対し、第三コマンドとしてアドレスセレクタ2によりアドレス5555を指示し、データセレクタ3によりデータADを与える。

20 (5) フラッシュメモリブロック10に、CPUからバッファ8に蓄積されていたライトアドレスPAを指示し、バッファ9に蓄積されていたライトデータPDを与える。これよにアドレスPAにデータPDが書き込まれる。

【0015】アドレス/データ制御部7は、このような動作するアドレスセレクタ2及びデータセレクタ3の制御や、CPUに対する待ち制御を行う。コマンドアクセス回路1は、以上の動作を連続的に繰り返す。また最終データライト時には、動作(5)終了までの間、最終データ終了信号を制御レジスタ5によりCPUに監視可能な構造としている。

【0016】

【実施例】本発明のコマンドアクセス回路の実施例1を

図3に、そのコマンド動作のタイムチャートを図4に示す。図3において、図1と同一番号は同一装置名を示す。実施例1は、全フラッシュメモリに対しデータを書き込みを行う場合を示す。図7は、コマンドシーケンスが

30 3個のコマンドからなる場合のシステム全体の構成を示す。また図8は、図7における4つのブロックに付与したアドレスを示すメモリマップである。書き込みのコマンドシーケンスが、3個のコマンドの場合には、図8に示す如くフラッシュメモリを3+1、つまり4つのブロック10₁～10₄に分ける。図8に示す如く、各ブロックは

40 8ビットの下位アドレスをデコードしたCS線で選択され、上位の16ビットがアドレスとして与えられる。このような場合、CPUは順次送出する書き込みデータの書き込み先アドレスを1ずつインクリメントさせるので、全フラッシュメモリを4分割しCS線により制御する。

【0017】全フラッシュメモリに対しデータを書き込む場合、CPUは制御レジスタ5に対し全書き込み動作を通知し、その後、データと書き込み先アドレスとを、全

てのバスサイクルで連続して送出する書き込み動作を行う。コマンドアクセス回路1は制御レジスタ5に書き込み動作の通知を受けると、CPUのALE信号及びライト信号を監視し、アドレス確定時（ALE信号の立ち上がり）時にアドレスをバッファに格納し、データ確定（ライト信号立ち上がり）時にデータをバッファに格納する。

【0018】上記格納と同時に手順①～③を実行する。手順④時には、バッファに格納したアドレス／データをメモリに送出することにより書き込む。なお、手順①～④を実行中、他のブロックに対しても同時にコマンド手順を実行できるように、ブロック毎にバッファ／レジスタを複数持つ構成としている。

【0019】各ブロックに対する書き込みコマンド動作のタイムチャート（実施例1）が図4に示される。図において、CPUのアドレス、CPUのライト信号、CPUのデータに対するコマンドアクセス部のブロック1、2、3、4における手順①～④の実行時におけるアドレスとデータを示す。

【0020】コマンドアクセス部の各ブロック毎に手順を一つづつずらしてアドレスとデータを書き込み、手順④においてそれぞれきバッファに蓄積されているアドレスに対してバッファに蓄積されているデータを書き込む。手順①から手順④を繰り返すことにより各ブロック毎にプログラムアドレスとデータを順次書き込むことができる。一つのブロックにコマンドシーケンス（手順①～③）が与えられている間に、他の3つのブロックが順次書き込みが行われ、CPUから各バスサイクルで連続して送出される書込みデータがブロック1、2、2、4、1、2…の如く1ブロックずつずれて1ワードづつ連続して書き込まれる。

【0021】次に、本発明のコマンドアクセス回路内部構成図の実施例2を図5に示す。実施例2は任意のフラッシュメモリに対しデータ書き込み／消去を行う場合を示す。図において、11はコマンドアクセス回路、12はアドレスセレクタ、13はデータセレクタ、15は制御レジスタ、16はチップセレクト制御部、17はアドレス／データ制御部、18はアドレス設定レジスタ、19はデータ設定レジスタ、20はフラッシュメモリを示す。

【0022】任意のフラッシュメモリ20に対しデータを書き込む場合、CPUは制御レジスタ15に対し書き込み動作を通知し、その後書き込み動作を行う。コマンドアクセス回路11は、制御レジスタ15に書き込み動作の通知を受けると、CPUのALE信号を監視し、アドレス確定（ALE信号の立ち上がり）と同時にメモリに対し手順①～③を実行する。

【0023】尚、手順①～③を実行中、CPUに対してはWAITを挿入し、処理を中断させる。手順①～③を実行した後、コマンドアクセス回路11はWAITを解除し、メモリに対し書き込みのアドレス／データを与え、

書き込み動作を完了する。

【0024】任意のフラッシュメモリ20に対しデータの消去を行う場合は、コマンド手順（コマンドを構成するアドレス／データの値および手順数）が異なるため、コマンドアクセス回路11内のアドレス設定レジスタ18及びデータ設定レジスタ19により手順実行時のアドレス値及びデータ値の変更、アドレス／データ制御部17の手順数の変更の後、上記同様の処理を行うことにより対応する。

10 【0025】メモリに対するコマンド動作のタイムチャート（実施例2）を図6に示す。図において、CPUのアドレス、CPUのライト信号、CPUのデータ、CPUのWAIT信号に対するコマンドアクセス部の代行処理手順①～③の実行後におけるWAIT信号によるアドレスとデータを示す。

【0026】CPUのアドレスnに対応するデータnを送出時にWAIT信号を挿入し、CPUの処理を中断してコマンドアクセス回路で手順①～③を代行し、代行実行後WAIT信号を解除して、メモリに対し書き込みのプログラムアドレスnとデータnを与え、書き込み動作を完了する。完了後に次のCPUのアドレスn+1に対応するデータn+1を送出する。

【0027】

【発明の効果】本発明により、フラッシュメモリに対するアクセス処理が容易となり、CPUの負担が軽減し、データのローディングに要する時間が1/4に削減される。

【図面の簡単な説明】

【図1】 本発明のコマンドアクセス回路の原理構成図
【図2】 本発明のコマンドアクセス部書き込みコマンド動作手順

【図3】 コマンドアクセス回路内部構成図の実施例1

【図4】 コマンド動作のタイムチャート（実施例1）

【図5】 コマンドアクセス回路内部構成図の実施例2

【図6】 コマンド動作のタイムチャート（実施例2）

【図7】 システム全体の構成図

【図8】 図7のメモリマップ

【図9】 従来のフラッシュメモリ書き込みコマンド手順

40

【符号の説明】

1, 11 コマンドアクセス回路

2, 12 アドレスセレクタ

3, 13 データセレクタ

4 ブロックセレクタ

5, 15 制御レジスタ

6, 16 チップセレクト制御部

7, 17 アドレス／データ制御部

8 アドレスバッファ

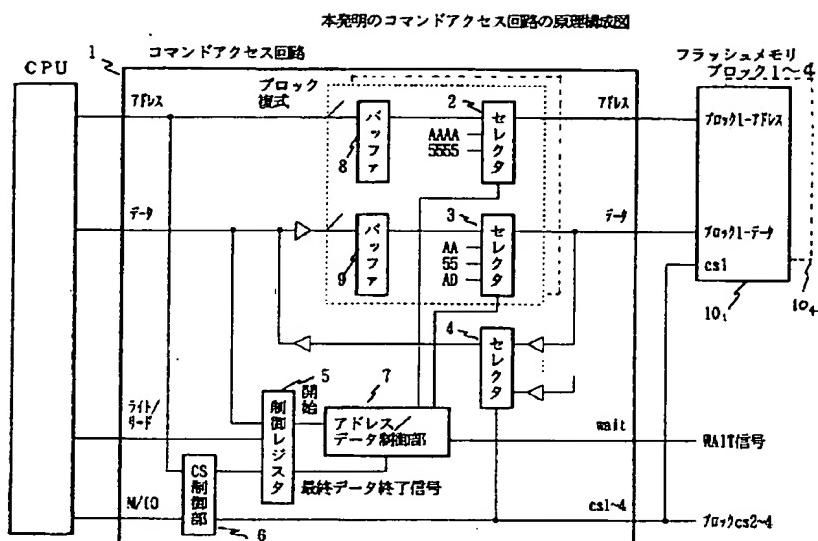
9 データバッファ

50 10 フラッシュメモリブロック

- 18 アドレス設定レジスタ
19 データ設定レジスタ

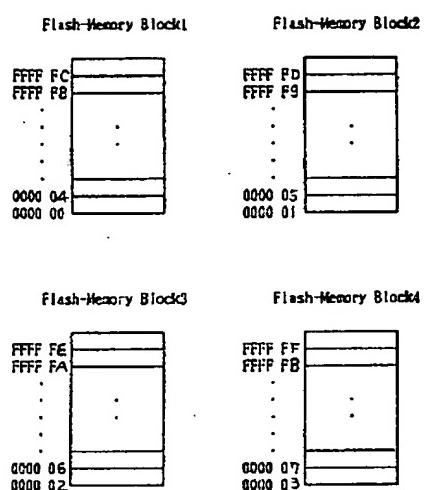
20 フラッシュメモリ

【図1】

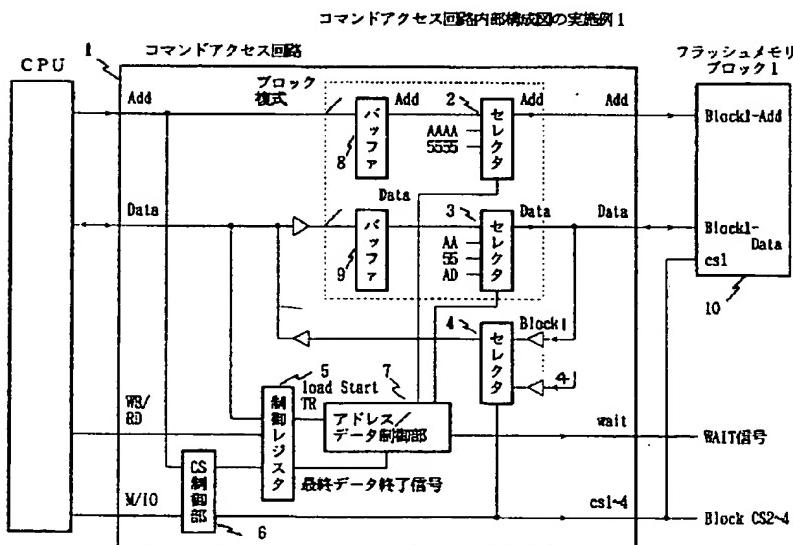


【図8】

図7のメモリマップ

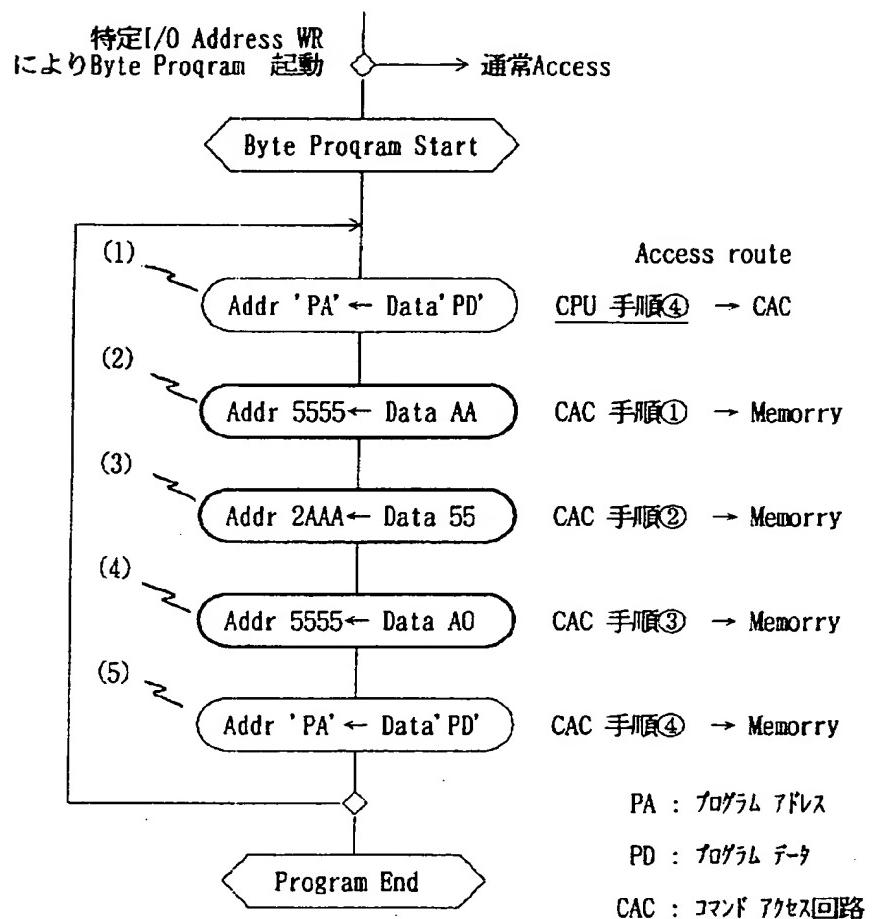


【図3】

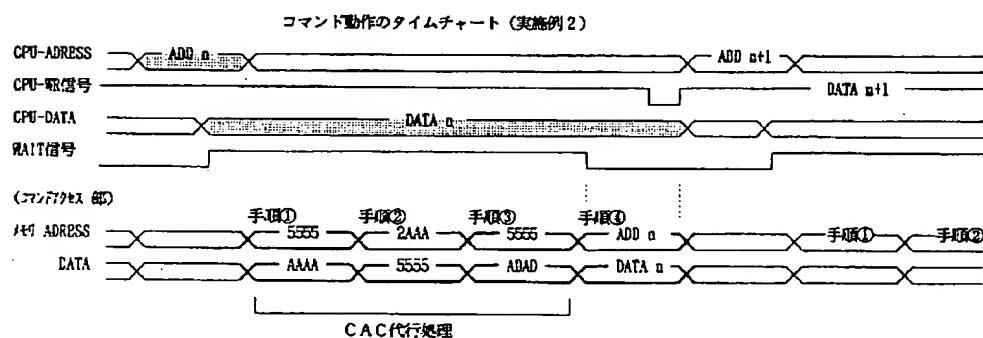


〔図2〕

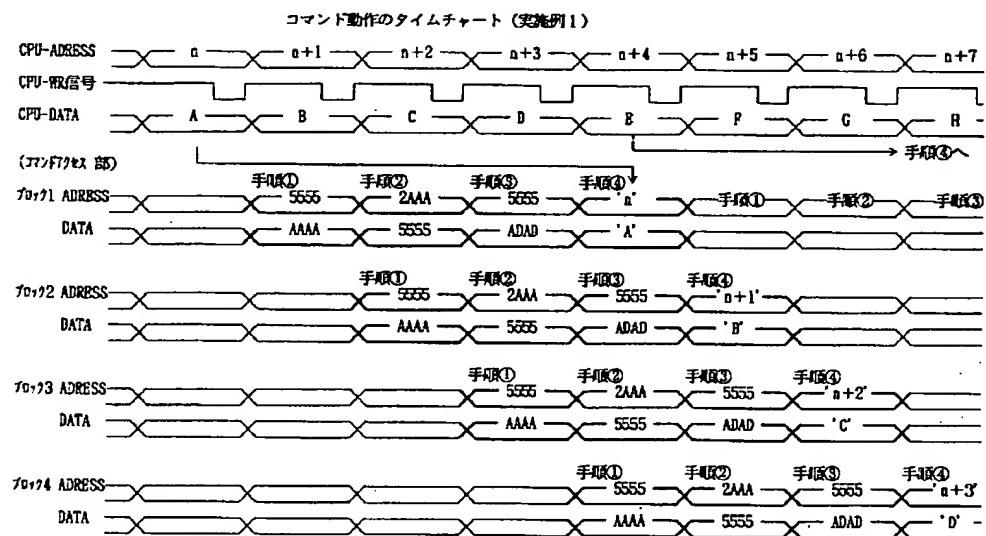
本発明のコマンドアクセス部書き込み動作手順



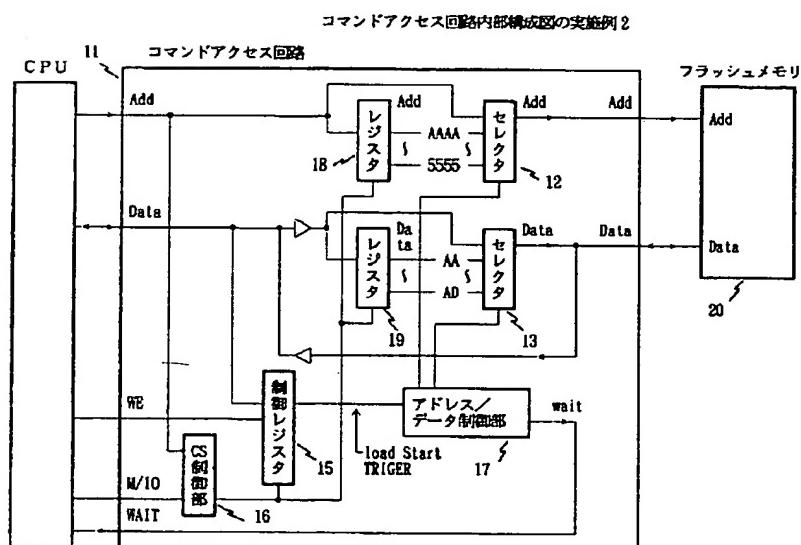
[図 6]



[図4]

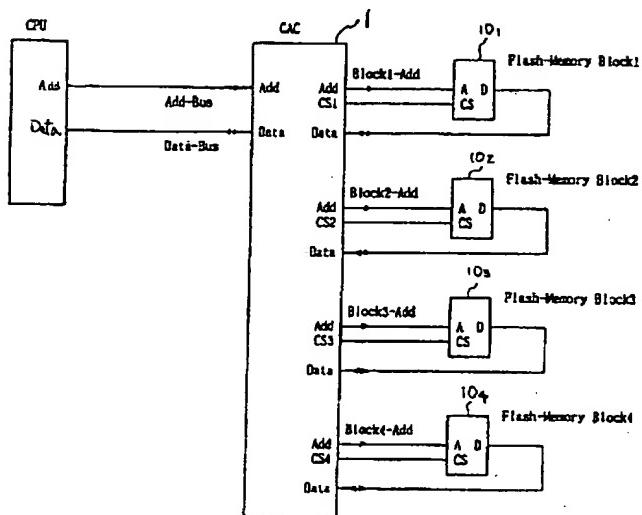


[図5]



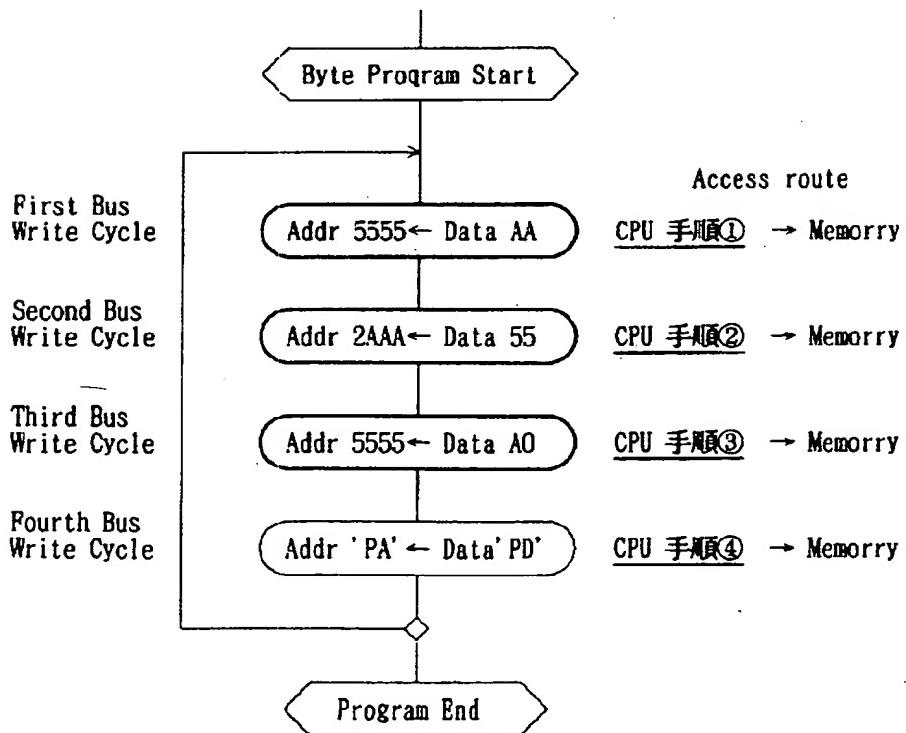
【図7】

システムの全体構成図
(3個のコマンドからなるシーケンス)



【図9】

従来のフラッシュメモリ書き込みコマンド手順



フロントページの続き

(72) 発明者 柳原 隆洋
愛知県名古屋市東区東桜一丁目13番3号
富士通名古屋通信システム株式会社内

(72) 発明者 塙本 利昭
愛知県名古屋市東区東桜一丁目13番3号
富士通名古屋通信システム株式会社内